

JAPANESE

[JP,10-284626,A]



CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART TECHNICAL PROBLEM
MEANS DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention applies [especially / to EPROM, EEPROM, a flash EEPROM, etc.] about the MIS transistor type semiconductor memory which has the two-layer gate electrode of the floating gate and the control gate and is suitable.

[0002]

[Description of the Prior Art] The flash memory is known as non-volatile memory in which electric writing and elimination are possible. And generally what it has the control gate which allotted the 2nd insulator layer and has been arranged between the floating gate arranged through a tunnel oxide film on a substrate and this floating gate, and a drain is arranged at the end side of the control gate, and the source is arranged at an other end side, and changes is known as basic composition of a flash memory.

[0003] Drawing 9 (a) Typical operation of a flash memory is explained using - (c). In addition, as for drawing 9 (a), (b) shows [(c)] what potential is impressed at the time of elimination operation at the time of write-in operation at the time of read-out operation. As shown in drawing 9 (a), read-out operation gives the right potential of 1-2V to a drain 108, grounds the source 107, impresses Vcc to the control gate 105, and is performed by detecting whether channel current flows.

[0004] As shown in drawing 9 (b), write-in operation impresses Vcc to a drain 108, grounds the source 107, impresses the high voltage Vpp (for example, +12V) to the control gate 105, and is performed by pouring in a hot electron from a channel / portion between drains to the floating gate 103 throughout a period of gate oxide-film 102 by the tunnel effect.

[0005] As shown in drawing 9 (c), elimination operation impresses Vcc to the source 107, and it is a high voltage negative to the control gate 105. - Vpp is impressed and it carries out by drawing out the electron of the floating gate 103 to the source 107 by the tunnel effect. In addition, a drain 108 is considered as opening at this time. Generally, as shown in drawing 10 , a flash memory 100 is used in the form which many bits consisted matrix-like of in circuit.

[0006] In such a form, in order [in a flash memory 100] to read and to operate writing, voltage is built also over the terminal of bits other than the bit chosen at the time of operation (henceforth a non-subdevice bit). And the case where it is said that a charge is exchanged with a part for the charge attaching part which constitutes this non-subdevice bit, and the terminal which required voltage, and the memory currently held is lost arises.

[0007] This phenomenon is called dace SUTABU in non-volatile memory, and there is drain dace SUTABU produced when voltage is built over the drain of the bit which is un-choosing at the time of writing among these dace SUTABU. This is explained using drawing 11 . As drawing 11 writes in, shows the non-subdevice bit at the time and shows it in this drawing, the source 107 is grounded, Vcc is impressed to a drain 108, and the control gate 105 is made grounding level by un-choosing. In this state, high electric field will be impressed to the drain 108 side-edge section of the gate oxide film 102 under the floating gate 103. There is possibility that the electron in the floating gate 103 will fall out through the gate oxide film 102 as a result.

[0008] And since the drain 108 side-edge section of the floating gate 103 is square, as for this drain dace SUTABU, electric-field concentration arises at this edge, and the electric-field concentration is considered to be caused owing to. For this reason, as shown in JP,5-299662,A or JP,6-237004,A, the method of suppressing drain dace SUTABU is learned for making round the drain 108 side-edge section of the floating gate 103, and easing electric-field concentration.

[0009]

[Problem(s) to be Solved by the Invention] However, the experiment showed that drain dace SUTABU could not fully be suppressed only by only making round the drain 108 side-edge section of the floating gate 103 like the method mentioned above. this invention aims at offering the semiconductor memory which can fully suppress drain dace TABU in view of the above-mentioned fact.

[0010]

[Means for Solving the Problem] Hereafter, it explains based on the analysis result which this invention persons performed about the generating mechanism of drain dace SUTABU. In case drawing 6 writes in a subdevice bit, it shows the simulation analysis of how depending on which a depletion layer [near the PN junction of the drain 8 in case the predetermined voltage $V_d (=V_{cc})$ has been impressed to the drain 8 of the non-subdevice bit which an electron is stored in the floating gate 3 and connected to the same bit line, and a silicon substrate 1] spreads. In addition, it is the case where the drain 8 side-edge section of the floating gate 3 is not being rounded off in this view, and the carrier concentration distribution expresses the breadth of a depletion layer. In addition, the depletion-layer edge to the drain 8 interior is 1×10^{15} /of abbreviation cm^2 at carrier concentration (electron density) level. It corresponds.

[0011] As shown in drawing 6 , the depletion layer has spread respectively in the drain 8 inside the substrate 1 side [near the PN junction of a drain 8 and a silicon substrate 1]. Although the depletion layer extended into this drain 8 is extended almost in accordance with the PN-junction configuration of a drain 8 and a substrate 1, it turns out that the breadth of the depletion layer by the side of a drain 8 is large locally in the portion which carries out termination [near the floating gate 3 (i.e., the front face of a substrate 1)]. Thus, it is formed for the electron stored in the floating gate 3 and an electron [near the depletion layer by the side of a drain 8 (N type field)] opposing.

[0012] The field strength distribution property between the silicon substrate 1 in the flash memory 100 shown in drawing 6 and the floating gate 3 is shown in drawing 7 . In addition, the scale in the horizontal axis of this field strength distribution property corresponds to the substrate surface position of the two-layer gate type semiconductor memory indicated according to the distribution property all over this drawing. As shown in drawing 7 , as for this portion, it turns out that the maximum field strength is minute interval gap **** toward the inside of the floating gate 3 from the edge section by the side of the drain 8 of the floating gate 3.

[0013] That is, the maximum field strength of this portion is not the edge section by the side of the drain 8 of the floating gate 3. Specifically, field strength serves as the maximum from the portion (henceforth a depletion-layer edge) A in which the depletion layer by the side of a drain 8 carries out termination in drain 8 front face before the drain 8 side edge section of the floating gate 3. That is, field strength becomes the maximum when the interval of the space (space except the depletion layer) and the floating gate 3 in which a free electron exists among drains 8 becomes the thickness S_t of the tunnel film 2.

[0014] If the floating gate 3 and a drain 8 are arranged with a position relation in consideration of the relation between this floating gate 3 and the depletion layer extended to a drain 8 at the time of un-choosing, drain dace SUTABU can be more effectively suppressed by being able to suppress drain dace SUTABU, even if it does not make round the point by the side of the drain 8 of the floating gate 3, and making the point of the floating gate 3 round in consideration of the above-mentioned relation.

[0015] this invention was made based on the above-mentioned artificers' analysis result, and fully tends to suppress drain dace SUTABU in consideration of the physical relationship of the floating gate and the depletion layer in a drain. As a result of artificers' further analysis, when the maximum field strength between the floating gate and a drain exceeded 7 MV/cm, the leak between the floating gate and a drain became remarkable, and it became clear that drain dace SUTABU occurs. Since the maximum field strength is over 7 MV/cm so that drawing 7 may show when it mentions above, drain dace SUTABU

occurs.

[0016] Below, the maximum field strength property when changing the termination position of a depletion layer to drawing 8 (a) to the portion (henceforth Gate Bird's Beak 3a) which the thickness of the tunnel film 2 was able to extend by [this] having made it round when the edge by the side of the drain 8 of the floating gate 3 was made round is shown. As shown in drawing 8 (b), the size of the width of face S of the depletion-layer edge A and the direction of a horizontal axis with the portion B (a part for the point of Gate Bird's Beak) into which the tunnel film 2 begins to spread shows the scale in the direction of a horizontal axis of this drawing 8 (a). When the depletion-layer edge A is located in a source 7 side from the portion B into which the tunnel film 2 begins to spread, width of face S becomes negative, and when the depletion-layer edge A is located in the opposite side of the source 7 from the portion B into which the tunnel film 2 begins to spread, width of face S just becomes.

[0017] That is, the field (henceforth the Gate Bird's Beak base field) set to Gate Bird's Beak 3a among the bases of the floating gate 3 and the field (henceforth a drain depletion-layer surface field) adjacent to the front face of the substrate 1 of the depletion-layer 8a of a drain 8 sandwich the tunnel film 2, and if it does not overlap, width of face S becomes negative. In this case, there is a portion from which the interval of the field and the floating gate 3 in which a free electron exists among drains 8 becomes the thickness St of the tunnel film 2.

[0018] Moreover, if the Gate Bird's Beak base field and the drain depletion-layer surface field overlap on both sides of the tunnel film 2, width of face S will just become. In this case, the interval of the space and the floating gate 3 in which a free electron exists among drains 8 becomes always larger than the thickness St of the tunnel film 2. And when width of face S is a positive value as shown in drawing 8 (a), the maximum field strength is decreasing rapidly. Therefore, when making it the interval of the space and the floating gate 3 in which a free electron exists among drains 8 become always larger than the thickness St of the tunnel film 3, the field strength between the floating gate 3 and a drain 8 can be decreased.

[0019] Gate Bird's Beak 3a is only formed in the edge by the side of the drain 8 of the floating gate 3, and it does not restrict that the maximum field strength becomes small in a request, but it is necessary to form so that the Gate Bird's Beak base field and a drain depletion-layer surface field may overlap so that clearly from this result. Moreover, when not forming Gate Bird's Beak 3a, field strength can be decreased by taking into consideration the relation to the depletion layer of the floating gate 3 and a drain 8 similarly.

[0020] The above explanation is set to the memory cell of the time of un-choosing, i.e., a drain dace SUTABU state. Although the point of making a dace SUTABU improvement as the physical relationship between the space (space except the depletion layer) and the floating gates 3 in which a free electron exists among drains 8 is controlled and the field strength between the both concerned does not exceed 7 MV/cm was explained The space where the free electron in a drain 8 exists at the time of selection, i.e., writing, is distributed even in the direction of a channel, and it is necessary to make it not reduce drawing speed.

[0021] Without this Gate Bird's Beak base field and a drain depletion layer specifically, overlapping that it writes in by existence of this Gate Bird's Beak, and a property should be made not to be checked, as shown in drawing 8 (c), when Gate Bird's Beak 3a is formed, the position of the boundary B of Gate Bird's Beak 3a was written in, and it has specified according to the control gate voltage V_{pp} at the time etc. so that a free electron may be distributed even in the direction of a channel. That is, the thickness of the gate insulator layer near [which a hot electron generates] the position should just serve as a tunnel film.

[0022] Therefore, in order to attain the above-mentioned purpose, the following technical means are adopted. In invention according to claim 1, it is characterized by being set up so that the maximum field strength built over the 1st insulator layer (2) at the time of un-choosing may become 7 or less MV/cm in a drain (8) and an overlap portion with the floating gate (5).

[0023] If the maximum field strength built over the 1st insulator layer (2) at the time of un-choosing exceeds 7 MV/cm as mentioned above, drain dace SUTABU will occur. For this reason, above-

mentioned drain dace SUTABU can be suppressed by making it a setup from which the maximum field strength built over the 1st insulator layer (2) in a drain (8) and an overlap portion with the floating gate (5) at the time of un-choosing becomes 7 or less MV/cm.

[0024] The position (A) which carries out termination to the 1st insulator layer (2) of the depletion layer (8a) prolonged inside the drain (8) at the time of un-choosing like invention according to claim 2 specifically It is located in a 2nd field side from the boundary section (B) of the 1st field and the 2nd field, and fields other than the field where the depletion layer (8a) was prolonged among the surface fields which counter the floating gate (3) of a drain (8) should just touch the 2nd field of the 1st insulator layer (2) completely.

[0025] In this case, it is satisfactory if the maximum field strength it will actually start the 1st insulator layer (2) even if the relation between the potential V_d of the drain at the time of un-choosing (8), the potential V_{fg} of the floating gate (3), and the thickness St in the 1st field which is a part for the thin-walled part of the 1st insulator layer (2) is $/St > 7$ MV/cm ($V_d - V_{fg}$) is 7 or less MV/cm.

[0026] In invention according to claim 3 to 5 the 1st insulator layer (2) Thickness has the 2nd field thickly located in the edge side of the floating gate (3) from the 1st field and this 1st field. So that fields other than the field which the depletion layer (8a) extended inside the drain (8) occupies may be forbidden from touching the 1st field of the 1st insulator layer (2) among the surface fields which counter the floating gate (3) of a drain (8) at the time of un-choosing It is characterized by setting up the position of the 1st of the 1st insulator layer (2), and the boundary section (B) of the 2nd field.

[0027] That is, the same effect as a claim 1 is acquired by controlling the length of the 2nd field so that the field which has not been depletion-ized among drains (8) at the time of un-choosing does not contact a part for the thin-walled part of the 1st insulator layer (2). It is realizable by specifically controlling the amount of oxidization for rounding off the floating gate (3). Moreover, it sets to invention according to claim 6 to 8. So that fields other than the field which the depletion layer (8a) extended inside the drain (8) occupies may be forbidden from touching the 1st field of the 1st insulator layer (2) among the surface fields of the drain (8) which counters the floating gate (3) at the time of un-choosing It is characterized by setting up the amount of overlap of a drain (8) and an overlap portion with the floating gate (3).

[0028] That is, the same effect as a claim 1 is acquired by controlling the junction position in the longitudinal direction of a drain (8) so that the field which has not been depletion-ized among drains (8) at the time of un-choosing does not contact a part for the thin-walled part of the 1st insulator layer (2). It is realizable by specifically controlling the range in the ion implantation for forming the longitudinal direction diffusion length of a drain (8), or a drain (8).

[0029] In invention according to claim 9, it sets at the time of selection of a semiconductor memory. Fields other than the depletion layer (8a) extended inside the drain (8) exist even in a 1st field side from the boundary section (B) of the 1st field and the 2nd field. And it sets at the time of un-choosing [of a semiconductor memory]. The position (A) which carries out termination to the 1st insulator layer (2) of the depletion layer (8a) extended inside the drain (8) is located in a 2nd field side from the boundary section (B) of the 1st field and the 2nd field. Fields other than the depletion layer (8a) extended inside a drain (8) are characterized by touching only the 2nd field of the 1st insulator layer (2).

[0030] Thus, even if Gate Bird's Beak (3a) exists, the drawing speed can be prevented from falling, while the same effect as a claim 1 will be acquired, if it is made for fields other than the depletion layer (8a) extended inside the drain (8) at the time of selection of a semiconductor memory to exist even in a 1st field side from the boundary section (B) of the 1st field and the 2nd field. Namely, the space (space except the depletion layer) where a free electron exists can be in the state where it can be distributed even over the channel field between a drain (8) and the source (7).

[0031] In invention according to claim 10 to 12 So that fields other than the field which the depletion layer (8a) extended inside the drain (8) among the surface fields which counter the floating gate (3) of a drain (8) occupies may be forbidden from touching the 1st field at the time of un-choosing And at the time of selection, it is characterized by setting up the position of the 1st of the 1st insulator layer (2), and the boundary section (B) of the 2nd field so that touching the 1st field may be permitted.

[0032] Thus, even if Gate Bird's Beak (3a) exists, the drawing speed can be prevented from falling, while the same effect as a claim 3 will be acquired, if the position of the 1st of the 1st insulator layer (2) and the boundary section (B) of the 2nd field is set up so that touching the 1st field at the time of selection may be permitted. In invention according to claim 13 to 15 Fields other than the field which the depletion layer (8a) extended inside the drain (8) among the surface fields which counter the floating gate (3) of a drain (8) occupies so that it may forbid touching the 1st field of ** at the time of un-choosing And at the time of selection, it is characterized by setting up the amount of overlap of a drain (8) and an overlap portion with the follow TINGU gate (3) so that touching the 1st field may be permitted.

[0033] Thus, even if Gate Bird's Beak (3a) exists, the drawing speed can be prevented from falling, while the same effect as a claim 6 will be acquired, if the amount of overlap of a drain (8) and an overlap portion with the follow TINGU gate (3) is set up so that touching the 1st field at the time of selection may be permitted.

[0034]

[Embodiments of the Invention] Hereafter, the operation gestalt which shows this invention in drawing is explained. Drawing 1 shows the operation gestalt which applied this invention to the flash memory among the two-layer gate type MOS transistors which constitute non-volatile memory. The cellular structure of the two-layer gate type MOS transistor shown in drawing 1 is explained.

[0035] P- On the mold silicon substrate 1, the floating gate 3 is formed as 1st gate electrode through the tunnel oxide film 2 used as a gate insulator layer. And on this floating gate 3, the control gate 5 which serves as the 2nd gate electrode through the layer insulation film 4 is formed further, and they are the floating gate 3, the control gate 5, and P. - Type silicon-substrate 1 front face is being worn by the side-attachment-wall oxide film 6.

[0036] Moreover, the source 7 and the drain 8 are respectively formed in the both sides of the floating gate 3. In addition, an electric-field relief layer is formed in the source 7 and channel field side of a drain 8 if needed. Furthermore, Gate Bird's Beak 3a for forming the radius-of-circle section is formed in the edge by the side of the drain 8 of the floating gate 3. And when the drain voltage Vd takes for a drain 8 at the time of predetermined writing in spite of having been a non-subdevice bit as shown in drawing 1, it is formed in the state where Gate Bird's Beak 3a and depletion-layer 8a extended to the drain 8 inside overlap.

[0037] Space (space except the depletion layer) where a free electron exists as shown in drawing 2 is made into the state where it can be distributed even over the channel field between a drain 8 and the source 7 so that the drawing speed may not fall on the other hand, even if Gate Bird's Beak 3a exists at the time of selection of the memory cell concerned, i.e., writing. That is, it is made for the field where depletion-layer 8a in the base of Gate Bird's Beak 3a and a drain 8 does not overlap, and an electron exists to overlap in a drain 8 at the thickness St portion and fitness of the tunnel film 2. In addition, although the trailer of junction of a drain 8 is made into the channel side with this operation gestalt from the portion into which Gate Bird's Beak 3a begins to spread, just let the gate insulator layer near [which a hot electron generates at the time of writing] the part be the tunnel thickness St.

[0038] Next, the physical relationship of Gate Bird's Beak 3a and a drain 8 is explained in full detail. First, the electric ***** type view at the time of un-choosing in a two-layer gate type semiconductor device is shown in drawing 3. Based on drawing 3, it can ask for the voltage Vfg in the floating gate 3, and voltage Vfg is expressed with the following formula.

[0039]

[Equation 1]

$$\begin{aligned} V_{fg} &= (-Q(t) + C_{fd} \cdot V_d) \\ &/ (C_{fd} + C_{fb} + C_{fs} + C_{fg}) \\ &= (C_{fg} \cdot \Delta V_t + C_{fd} \cdot V_d) \\ &/ (C_{fd} + C_{fb} + C_{fs} + C_{fg}) \end{aligned}$$

Q (t) : The charge Cfd according to the amount t of writing : The electrostatic capacity Cfb between the floating-gate 3-drains 8 : The electrostatic capacity Cfs between the floating-gate 3-substrates 1

electrostatic capacity C_{fg} between the floating-gate 3-sources 7 : Electrostatic capacity V_d between the floating-gate 3-control gates 5 : Voltage ΔV_d impressed to a drain 8 : It $C_{fd}(s)$, $C_{fb}(s)$ and $C_{fs}(es)$. the amount of floating-gate 3 changes of potential -- here C_{fg} is a constant uniquely decided by the area of the floating gate 3, the thickness of the tunnel film 2, and the specific inductive capacity ϵ of the tunnel film 2 or an oxide film 4, and although V_d also has some change, in general fixed voltage is impressed. Therefore, V_{fg} changes with $Q(t)$.

[0040] Moreover, the maximum field strength $E_{fd}(MAX)$ which may be built over the tunnel film 2 between a drain 8 and the floating gate 3 can be expressed with the following formulas.

[0041]

[Equation 2] $E_{fd}(MAX) = (V_d - V_{fg}) / S_{fd}(MIN)$

$S_{fd}(MIN)$: The minimum spacing, thus the maximum field strength $E_{fd}(MAX)$ between the floating gate 3 and a drain 8 change with V_{fg} or $S_{fd}(s)$ (MIN). And the value of V_{fg} becomes quite large when the amount of writing of the floating gate 3 is large. Moreover, what is necessary is just to enlarge $S_{fd}(MIN)$, in order to make the maximum field strength $E_{fd}(MAX)$ small in this case.

[0042] by the way, the time of voltage being impressed to a drain, as mentioned above -- the drain whole -- this potential -- not becoming -- a drain 8 -- an inner depletion-layer 8a field does not become this potential For this reason, $S_{fd}(MIN)$ serves as minimum spacing in the portion except the depletion-layer field among the floating gate 3 and a drain 8. Therefore, if actual $S_{fd}(MIN)$ is larger than the thickness St of the tunnel film 2 even if it is under a condition with which the relation of thickness $St \geq 7 \text{ MV/cm}$ of $(V_d - V_{fg}) / \text{tunnel film 2}$ is filled when it is assumed that $S_{fd}(MIN)$ is the thickness St of the tunnel film 2, it can be made $E_{fd}(MAX) < 7 \text{ MV/cm}$.

[0043] If the Gate Bird's Beak base field and the drain depletion-layer surface field specifically overlap on both sides of the tunnel film 2 under a condition with which the relation of thickness $St = 7 \text{ MV/cm}$ of $(V_d - V_{fg}) / \text{tunnel film 2}$ is filled, actual $S_{fd}(MIN)$ will become larger than the thickness St of the tunnel film 2. Based on this, the physical relationship of Gate Bird's Beak 3a and a drain 8 is set up so that the Gate Bird's Beak base field and a drain depletion-layer surface field may overlap on both sides of the tunnel film 2 under the above-mentioned condition.

[0044] Thereby, it can consider as $E_{fd}(MAX) < 7 \text{ MV/cm}$ and drain dace SUTABU can fully be suppressed. Moreover, the semiconductor memory shown in drawing 1 is manufactured as follows. First, as shown in drawing 4 (a), after forming the LOCOS film 50 for isolation in the predetermined field of the front face of the P type silicon substrate 1 (or P type well) alternatively, an about 100-120Å oxide film is formed in the upper surface of the P type silicon substrate 1, it nitrides further and the tunnel film 2 is formed. Next, after performing the ion implantation for threshold adjustment, as shown in drawing 4 (b), the polysilicon contest layer (1st gate electrode layer) 51, the layer insulation film 4 which consists of three layer structures of an oxide film / nitride / oxide film, and the polysilicon contest layer (2nd gate electrode layer) 51 are formed in the upper part of the tunnel film 2 in order.

[0045] And the portion used as the gate is made to deposit a photoresist (resist film) 53, this photoresist 53 is used as a mask, chlorine-based gas performs anisotropy dry etching, and as shown in drawing 4 (c), the floating gate 3 and the control gate 5 are formed. Then, O₂ By ashing and washing, as shown in drawing 5 (a), a photoresist 53 is exfoliated.

[0046] Then, it oxidizes thermally and the side-attachment-wall oxide film 6 is formed. At this time, oxidization goes to the edge of the floating gate 3, and as shown in drawing 5 (b), Gate Bird's Beak 3a used as the round configuration is formed in the edge of the floating gate 3. In addition, the size of Gate Bird's Beak 3a is controllable by adjusting the time of the thermal oxidation at this time etc. Moreover, the formation position of the drain 8 formed after this can be controlled by changing the thickness of the side-attachment-wall oxide film 6, and the position of the depletion-layer edge when impressing voltage to a drain 8 can be controlled.

[0047] And these gates electrodes 3 and 5 are used as a mask, ion implantation is performed, and as shown in drawing 5 (c), the source 7 and a drain 8 are formed. In addition, since the formation position and the formation depth of a drain 8 are controllable by adjusting a dose and a pouring angle in this ion implantation, the position of the depletion-layer edge when impressing voltage to a drain 8 or the size of

a depletion layer is controllable.

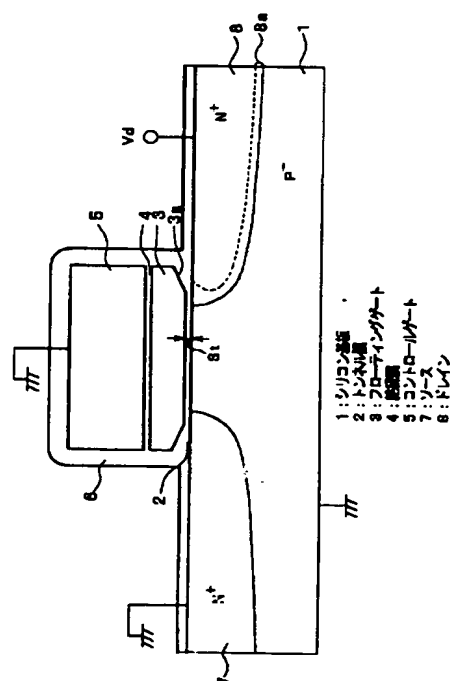
[0048] Furthermore, although not illustrated, after this, patterning formation of the aluminum wiring connected to each electrode is carried out, and a two-layer gate type semiconductor memory is completed. Thus, a dose [in / ion implantation / the size of Gate Bird's Beak 3a is controlled, or the thickness of the side-attachment-wall oxide film 6 is changed or], By changing a pouring angle, acceleration energy, etc. and controlling the formation position of a drain 8 etc. ($V_d - V_{fg}$) Even if it is the case where the formula of thickness $St > 7$ MV/cm of the /tunnel film 2 is filled By setting up the physical relationship of Gate Bird's Beak 3a and a drain 8 so that the Gate Bird's Beak base field and a drain depletion-layer surface field may overlap on both sides of the tunnel film 2 The maximum field strength between the floating gate 3 and a drain 8 can be made into 7 or less MV/cm. Thereby, drain dace SUTABU can be suppressed.

[0049] In addition, in this operation form, although the P type silicon substrate 1 is used, in addition when a P type well layer may be formed in this silicon substrate and it uses the electrical conducting material of N type using a silicon substrate, the same thing can say. Moreover, although it explained when Gate Bird's Beak 3 was formed, even if it is the case where this is not formed, drain dace SUTABU can be suppressed by taking into consideration the relation to the edge position of the floating gate 3, and the depletion layer of a drain 8.

[0050] Although the operation form mentioned above explained the case where this invention was applied to the flash memory whose gate insulator layer is a tunnel film, this invention is applicable to others also by the case of EPROM and EEPROM. Moreover, the length of the floating gate and the control gate can apply not only to the stack type memory which is almost the same and has taken the laminated structure but to the two-layer gate type memory structure where the length of the floating gate and the control gate differs from a formation pattern.

[Translation done.]

(11)特許出願公開番号



1

【特許請求の範囲】

【請求項1】 基板(1)上に第1の絶縁膜(2)を介して配置されたフローティングゲート(3)と、前記フローティングゲート(3)との間に第2の絶縁膜(4)を配して配置されたコントロールゲート(5)と、

前記フローティングゲート(3)および前記第1の絶縁膜(2)とオーバーラップ部分を有して配置されるとともに、前記コントロールゲート(5)の一方端に配置されたドレイン(8)と、

少なくとも前記コントロールゲート(5)の他方端に配置されたソース(7)とを備える半導体記憶装置において、

前記ドレイン(8)と、前記フローティングゲート(5)との前記オーバーラップ部分において、該半導体記憶装置の非選択時に前記第1の絶縁膜(2)にかかる最大電界強度が $7\text{MV}/\text{cm}$ 以下となるように設定されていることを特徴とする半導体記憶装置。

【請求項2】 前記第1の絶縁膜(2)は第1の領域と該第1の領域より膜厚が厚い第2の領域とを有し、前記半導体記憶装置の非選択時において前記ドレイン(8)の内部に伸びた空乏層(8a)の前記第1の絶縁膜(2)に終端する位置(A)が、前記第1の領域と前記第2の領域との境界部(B)より前記第2の領域側に位置しており、

前記ドレイン(8)の前記フローティングゲート(3)に対向する表面領域のうち前記空乏層(8a)の伸びた領域以外の領域が、前記第1の絶縁膜(2)の前記第2の領域に完全に接することを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 基板(1)上に第1の絶縁膜(2)を介して配置されたフローティングゲート(3)と、前記フローティングゲート(3)との間に第2の絶縁膜(4)を配して配置されたコントロールゲート(5)と、

前記フローティングゲート(3)及び前記第1の絶縁膜(2)とオーバーラップ部分を有して配置されるとともに、前記コントロールゲート(5)の一方端に配置されたドレイン(8)と、

少なくとも前記コントロールゲート(5)の他方端に配置されたソース(7)とを備える半導体記憶装置において、

前記第1の絶縁膜(2)は、第1の領域と、該第1の領域より膜厚が厚くかつ前記フローティングゲート(3)の端部側に位置する第2の領域とを有し、

前記ドレイン(8)の前記フローティングゲート(3)に対向する表面領域のうち、前記半導体記憶装置の非選択時に前記ドレイン(8)の内部に伸びた空乏層(8a)の占める領域以外の領域が前記第1の絶縁膜(2)の前記第1の領域と接するのを禁止するように、前記第

2

1の絶縁膜(2)の前記第1、第2の領域の境界部

(B)の位置が設定されていることを特徴とする半導体記憶装置。

【請求項4】 前記ドレイン(8)の前記フローティングゲート(3)に対向する表面領域のうち、前記半導体記憶装置の非選択時に前記ドレイン(8)の内部に伸びた前記空乏層(8a)の占める前記領域が、前記第1の絶縁膜(2)の前記第2の領域とオーバーラップしていることを特徴とする請求項3に記載の半導体記憶装置。

10 【請求項5】 前記ドレイン(8)と前記フローティングゲート(3)との前記オーバーラップ部分において、該半導体記憶装置の非選択時に前記第1の絶縁膜(2)にかかる最大電界強度が $7\text{MV}/\text{cm}$ 以下に設定されていることを特徴とする請求項3又は4に記載の半導体記憶装置。

【請求項6】 基板(1)上に第1の絶縁膜(2)を介して配置されたフローティングゲート(3)と、前記フローティングゲート(3)との間に第2の絶縁膜(4)を配して配置されたコントロールゲート(5)と、

20 前記フローティングゲート(3)及び前記第1の絶縁膜(2)とオーバーラップ部分を有して配置されるとともに、前記コントロールゲート(5)の一方端に配置されたドレイン(8)と、

少なくとも前記コントロールゲート(5)の他方端に配置されたソース(7)とを備える半導体記憶装置において、

30 前記第1の絶縁膜(2)は、第1の領域と、該第1の領域より膜厚が厚くかつ前記フローティングゲート(3)の端部側に位置する第2の領域とを有し、

前記ドレイン(8)の前記フローティングゲート(3)に対向する表面領域のうち、前記半導体記憶装置の非選択時に前記ドレイン(8)の内部に伸びた空乏層(8a)の占める領域以外の領域が前記第1の絶縁膜(2)の前記第1の領域と接するのを禁止するように、前記ドレイン(8)と前記フローティングゲート(3)との前記オーバーラップ部分のオーバーラップ量が設定されていることを特徴とする半導体記憶装置。

40 【請求項7】 前記ドレイン(8)の前記フローティングゲート(3)に対向する表面領域のうち、前記半導体記憶装置の非選択時に前記ドレイン(8)の内部に伸びた前記空乏層(8a)の占める前記領域が、前記第1の絶縁膜(2)の前記第2の領域とオーバーラップしていることを特徴とする請求項6に記載の半導体記憶装置。

【請求項8】 前記ドレイン(8)と前記フローティングゲート(3)との前記オーバーラップ部分において、該半導体記憶装置の非選択時に前記第1の絶縁膜(2)にかかる最大電界強度が $7\text{MV}/\text{cm}$ 以下に設定されていることを特徴とする請求項6又は7に記載の半導体記憶装置。

50

【請求項9】 基板(1)上に第1の絶縁膜(2)を介して配置されたフローティングゲート(3)と、前記フローティングゲート(3)との間に第2の絶縁膜(4)を配して配置されたコントロールゲート(5)と、前記フローティングゲート(3)および前記第1の絶縁膜(2)とオーバーラップ部分を有して配置されとともに、前記コントロールゲート(5)の一方端に配置されたドレイン(8)と、少なくとも前記コントロールゲート(5)の他方端に配置されたソース(7)とを備える半導体記憶装置において、前記第1の絶縁膜(2)は、第1の領域と、該第1の領域より膜厚が厚い第2の領域とを有し、前記半導体記憶装置の選択時においては、前記ドレイン(8)の内部に伸びた空乏層(8a)以外の領域が、前記第1の領域と前記第2の領域との境界部(B)より前記第1の領域側にまで存在し、かつ、前記半導体記憶装置の非選択時においては、前記ドレイン(8)の内部に伸びた空乏層(8a)の前記第1の絶縁膜(2)に終端する位置(A)が、前記第1の領域と前記第2の領域との境界部(B)より前記第2の領域側に位置して、前記ドレイン(8)の内部に伸びる空乏層(8a)以外の領域が、前記第1の絶縁膜(2)の前記第2の領域にのみ接することを特徴とする半導体記憶装置。

【請求項10】 基板(1)上に第1の絶縁膜(2)を介して配置されたフローティングゲート(3)と、前記フローティングゲート(3)との間に第2の絶縁膜(4)を配して配置されたコントロールゲート(5)と、前記フローティングゲート(3)及び前記第1の絶縁膜(2)とオーバーラップ部分を有して配置されとともに、前記コントロールゲート(5)の一方端に配置されたドレイン(8)と、少なくとも前記コントロールゲート(5)の他方端に配置されたソース(7)とを備える半導体記憶装置において、前記第1の絶縁膜(2)は、第1の領域と、該第1の領域より膜厚が厚くかつ前記フローティングゲート(3)の端部側に位置する第2の領域とを有し、前記ドレイン(8)の前記フローティングゲート(3)に対向する表面領域のうち、前記ドレイン(8)の内部に伸びた空乏層(8a)の占める領域以外の領域が、前記半導体記憶装置の非選択時には前記第1の絶縁膜(2)の前記第1の領域と接するのが禁止されるように、かつ、前記半導体記憶装置の選択時には前記第1の絶縁膜(2)の前記第1の領域と接するのが許可されるように、前記第1の絶縁膜(2)の前記第1、第2の領域の境界部(B)の位置が設定されていることを特徴と

する半導体記憶装置。

【請求項11】 前記ドレイン(8)の前記フローティングゲート(3)に対向する表面領域のうち、前記半導体記憶装置の非選択時に前記ドレイン(8)の内部に伸びた前記空乏層(8a)の占める前記領域が、前記第1の絶縁膜(2)の前記第2の領域とオーバーラップしていることを特徴とする請求項10に記載の半導体記憶装置。

【請求項12】 前記ドレイン(8)と前記フローティングゲート(3)との前記オーバーラップ部分において、該半導体記憶装置の非選択時に前記第1の絶縁膜(2)にかかる最大電界強度が7MV/cm以下に設定されていることを特徴とする請求項10又は11に記載の半導体記憶装置。

【請求項13】 基板(1)上に第1の絶縁膜(2)を介して配置されたフローティングゲート(3)と、前記フローティングゲート(3)との間に第2の絶縁膜(4)を配して配置されたコントロールゲート(5)と、

前記フローティングゲート(3)及び前記第1の絶縁膜(2)とオーバーラップ部分を有して配置されとともに、前記コントロールゲート(5)の一方端に配置されたドレイン(8)と、

少なくとも前記コントロールゲート(5)の他方端に配置されたソース(7)とを備える半導体記憶装置において、

前記第1の絶縁膜(2)は、第1の領域と、該第1の領域より膜厚が厚くかつ前記フローティングゲート(3)の端部側に位置する第2の領域とを有し、

前記ドレイン(8)の前記フローティングゲート(3)に対向する表面領域のうち、前記ドレイン(8)の内部に伸びた空乏層(8a)の占める領域以外の領域が、前記半導体記憶装置の非選択時には、前記第1の絶縁膜(2)の前記第1の領域と接するのを禁止するように、かつ、前記半導体記憶装置の選択時には前記第1の絶縁膜(2)の前記第1の領域と接するのが許可されるように、前記ドレイン(8)と前記フローティングゲート(3)との前記オーバーラップ部分のオーバーラップ量が設定されていることを特徴とする半導体記憶装置。

【請求項14】 前記ドレイン(8)の前記フローティングゲート(3)に対向する表面領域のうち、前記半導体記憶装置の非選択時に前記ドレイン(8)の内部に伸びた前記空乏層(8a)の占める前記領域が、前記第1の絶縁膜(2)の前記第2の領域とオーバーラップしていることを特徴とする請求項13に記載の半導体記憶装置。

【請求項15】 前記ドレイン(8)と前記フローティングゲート(3)との前記オーバーラップ部分において、該半導体記憶装置の非選択時に前記第1の絶縁膜(2)にかかる最大電界強度が7MV/cm以下に設定

5

されていることを特徴とする請求項13又は14に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、フローティングゲートとコントロールゲートの2層ゲート電極を有するMISトランジスタ型の半導体記憶装置に関し、特にEPROM、EEPROM、フラッシュEEPROM等に適用して好適である。

【0002】

【従来の技術】 電気的な書き込み、消去が可能な不揮発性メモリとして、フラッシュメモリが知られている。そして、基板上にトンネル酸化膜を介して配置されたフローティングゲートと、このフローティングゲートとの間に第2の絶縁膜を配して配置されたコントロールゲートを有し、コントロールゲートの一端側にドレインが配置され、また他端側にソースが配置されて成るものがフラッシュメモリの基本構成として一般的に知られている。

【0003】 図9(a)～(c)を用いてフラッシュメモリの代表的な動作について説明する。なお、図9(a)は読み出し動作時、(b)は書き込み動作時、(c)は消去動作時にどのような電位が印加されるかを示している。図9(a)に示すように、読み出し動作は、ドレイン108に1～2Vの正電位を与え、ソース107を接地し、コントロールゲート105にVccを印加し、チャネル電流が流れるか否かを検出することにより行う。

【0004】 図9(b)に示すように、書き込み動作は、ドレイン108にVccを印加し、ソース107を接地し、コントロールゲート105に高い電圧Vpp(例えば、+12V)を印加し、チャネル/ドレイン間部分からホット電子をトンネル効果によりゲート酸化膜102越しにフローティングゲート103へ注入することにより行う。

【0005】 図9(c)に示すように、消去動作は、ソース107にVccを印加し、コントロールゲート105に負の高電圧-Vppを印加し、トンネル効果によりフローティングゲート103の電子をソース107へ引き抜くことにより行う。なお、このとき、ドレイン108は開放とする。一般に、図10に示すようにフラッシュメモリ100は多数のビットが回路的にマトリクス状となった形式で用いられる。

【0006】 このような形式でフラッシュメモリ100における読み出し、書き込みの動作を行うため、動作時に選択したビット以外のビット(以下、非選択ビットという)の端子にも電圧がかかる。そして、この非選択ビットを構成する電荷保持部分と電圧が掛かった端子とで電荷のやり取りをして、保持していたメモリが失われるという場合が生じる。

【0007】 この現象は、不揮発性メモリにおけるディ

6

スターブと呼ばれており、このディスターブには、書き込み時に非選択となるビットのドレインに電圧がかかったときに生じるドレインディスターブがある。これについて図11を用いて説明する。図11は書き込み時における非選択ビットを示すものでこの図に示すように、ソース107は接地され、ドレイン108にはVccが印加され、コントロールゲート105は非選択により接地レベルとされる。この状態では、フローティングゲート103下のゲート酸化膜102のドレイン108側端部に高電界が印加されることになる。その結果フローティングゲート103中の電子がゲート酸化膜102を通して抜けてしまう可能性が有るのである。

【0008】 そして、このドレインディスターブは、フローティングゲート103のドレイン108側端部が角張っているために、この端部に電界集中が生じ、その電界集中が原因で引き起こされると考えられている。このため、特開平5-299662号公報や特開平6-237004号公報に示されるように、フローティングゲート103のドレイン108側端部を丸くして電界集中を緩和することで、ドレインディスターブを抑制する方法が知られている。

【0009】

【発明が解決しようとする課題】 しかしながら、上述した方法のようにフローティングゲート103のドレイン108側端部を単に丸くしただけでは十分にドレインディスターブを抑制することができないことが実験により分かった。本発明は上記事実を鑑みて、ドレインディスターブを十分に抑制することができる半導体記憶装置を提供することを目的とする。

【0010】

【課題を解決するための手段】 以下、ドレインディスターブの発生メカニズムについて本発明者らの行った解析結果を基に説明する。図6は、選択ビットに書き込みを行う際に、フローティングゲート3に電子が蓄えられて同一ビット線に接続される非選択ビットのドレイン8に所定電圧Vd(=Vcc)が印加されてしまった場合のドレイン8とシリコン基板1とのPN接合近傍における空乏層の広がり方のシミュレーション解析を示す。なお、本図においてはフローティングゲート3のドレイン8側端部を丸めていない場合であり、またキャリア濃度分布によって空乏層の広がり方を表している。なお、ドレイン8内部への空乏層端はキャリア濃度(電子密度)レベルで略 $1 \times 10^{15} / \text{cm}^2$ が相当している。

【0011】 図6に示されるように、ドレイン8とシリコン基板1とのPN接合近傍において基板1側とドレイン8内側に各々空乏層が広がっている。このドレイン8内へ伸びる空乏層はドレイン8と基板1とのPN接合形状にはほぼ沿って伸びるが、フローティングゲート3の近傍、すなわち基板1の表面において終端する部分においてはドレイン8側の空乏層の広がりが局所的に大きくな

7

っていることが分かる。このように形成されるのはフローティングゲート3に蓄えられた電子と、ドレイン8

(N型領域)側の空乏層近傍における電子が反発するためである。

【0012】図7には、図6に示すフラッシュメモリ100におけるシリコン基板1とフローティングゲート3間における電界強度分布特性を示す。なお、この電界強度分布特性の横軸におけるスケールは、同図中に分布特性に合わせて記載した2層ゲート型半導体記憶装置の基板表面位置に対応している。図7に示されるように、最大電界強度がかかる部分は、フローティングゲート3のドレイン8側のエッジ部からフローティングゲート3の内側に向かって微小間隔ずれた所であることが分かる。

【0013】つまり、最大電界強度がかかる部分はフローティングゲート3のドレイン8側のエッジ部ではない。具体的には、ドレイン8側の空乏層がドレイン8表面において終端する部分(以下、空乏層端部という)Aからフローティングゲート3のドレイン8側エッジ部までの間で電界強度が最大となっている。つまり、ドレイン8のうち自由電子が存在する空間(空乏層を除いた空間)とフローティングゲート3との間隔がトンネル膜2の膜厚 S_t になったときにおいて電界強度が最大になる。

【0014】このフローティングゲート3と非選択時にドレイン8に伸びる空乏層との関係を考慮して、所定の位置関係をもってフローティングゲート3とドレイン8を配置すれば、フローティングゲート3のドレイン8側の先端部を丸くしなくてもドレインディスターブを抑制することができ、また上記関係を考慮してフローティングゲート3の先端部を丸くすることによりより効果的にドレインディスターブを抑制することができる。

【0015】本発明は上記の発明者らの解析結果に基づいてなされたもので、フローティングゲートとドレインにおける空乏層との位置関係を考慮してドレインディスターブを十分に抑制しようとするものである。発明者らの更なる解析の結果、フローティングゲートとドレイン間における最大電界強度が $7\text{MV}/\text{cm}$ を超えるとフローティングゲートとドレイン間のリークが顕著になり、ドレインディスターブが発生することが明らかになった。上述した場合においては、図7から分かるように最大電界強度が $7\text{MV}/\text{cm}$ を超えているためドレインディスターブが発生する。

【0016】つぎに、図8(a)にフローティングゲート3のドレイン8側の端部を丸くした場合において、この丸くしたことによってトンネル膜2の膜厚が広げられた部分(以下、ゲートバースピーク3aという)に対して、空乏層の終端位置を変化させたときの最大電界強度特性を示す。この図8(a)の横軸方向におけるスケールは、図8(b)に示すように空乏層端部Aとトンネル膜2が広がり始める部分B(ゲートバースピークの先

8

端部分)との横軸方向の幅Sの大きさを示している。空乏層端部Aがトンネル膜2が広がり始める部分Bよりもソース7側に位置するときには幅Sは負になり、空乏層端部Aがトンネル膜2が広がり始める部分Bよりもソース7の反対側に位置する時には幅Sは正になる。

【0017】つまり、フローティングゲート3の底面のうちゲートバースピーク3aとなった領域(以下、ゲートバースピーク底面領域という)とドレイン8の空乏層8aのうちの基板1の表面に接する領域(以下、ドレイン空乏層表面領域という)がトンネル膜2を挟んで、オーバーラップしていなければ、幅Sが負になる。この場合、ドレイン8のうち自由電子が存在する領域とフローティングゲート3との間隔が、トンネル膜2の膜厚 S_t になる部分がある。

【0018】また、ゲートバースピーク底面領域とドレイン空乏層表面領域がトンネル膜2を挟んでオーバーラップしていれば、幅Sが正になる。この場合、ドレイン8のうち自由電子が存在する空間とフローティングゲート3との間隔は、トンネル膜2の膜厚 S_t よりも常に大きくなる。そして、図8(a)に示されているように、幅Sが正の値であるときには最大電界強度が急激に減少している。従って、ドレイン8のうち自由電子が存在する空間とフローティングゲート3との間隔がトンネル膜3の膜厚 S_t よりも常に大きくなるようにすることによりフローティングゲート3とドレイン8間における電界強度を減少させることができる。

【0019】この結果から明らかなように、フローティングゲート3のドレイン8側の端部に単にゲートバースピーク3aを形成したのみでは最大電界強度が小さくなるとは限らず、ゲートバースピーク底面領域とドレイン空乏層表面領域がオーバーラップするように形成することが必要となる。また、ゲートバースピーク3aを形成しない場合においても同様にフローティングゲート3とドレイン8の空乏層における関係を考慮することにより電界強度を減少させることができる。

【0020】以上の説明は、非選択時すなわちドレインディスターブ状態のメモリセルにおいて、ドレイン8のうち自由電子が存在する空間(空乏層を除いた空間)とフローティングゲート3との間の位置関係を制御して当該両者間の電界強度が $7\text{MV}/\text{cm}$ を越えないようにしてディスターブ改善を行う点について説明したが、選択時すなわち書き込み時においてはドレイン8内の自由電子が存在する空間がチャネル方向にまで分布して書き込み速度を低下させないようにする必要がある。

【0021】具体的には、ゲートバースピーク3aを形成した場合、該ゲートバースピークの存在によって書き込み特性が阻害されないようにすべく、図8(c)に示すように、該ゲートバースピーク底面領域とドレイン空乏層がオーバーラップすることなく、自由電子がチャネル方向にまで分布するように、ゲートバースピーク3aの

9

境界Bの位置を書き込み時のコントロールゲート電圧 V_{pp} 等に応じて規定している。つまり、ホットエレクトロンが発生する位置近傍のゲート絶縁膜の膜厚がトンネル膜となっていればよい。

【0022】よって、上記目的を達成するため以下の技術的手段を採用する。請求項1に記載の発明においては、ドレイン(8)とフローティングゲート(5)とのオーバーラップ部分において、非選択時に第1の絶縁膜(2)にかかる最大電界強度が $7\text{MV}/\text{cm}$ 以下となるように設定されていることを特徴とする。

【0023】上述したように、非選択時において第1の絶縁膜(2)にかかる最大電界強度が $7\text{MV}/\text{cm}$ を超えるとドレインディスタースが発生する。このため、非選択時にドレイン(8)とフローティングゲート(5)とのオーバーラップ部分において、第1の絶縁膜(2)にかかる最大電界強度が $7\text{MV}/\text{cm}$ 以下となるような設定にすることにより、上記ドレインディスタースを抑制することができる。

【0024】具体的には、例えば請求項2に記載の発明のように、非選択時においてドレイン(8)の内部に延びた空乏層(8a)の第1の絶縁膜(2)に終端する位置(A)が、第1の領域と第2の領域との境界部(B)より第2の領域側に位置しており、ドレイン(8)のフローティングゲート(3)に対向する表面領域のうち空乏層(8a)の延びた領域以外の領域が、第1の絶縁膜(2)の第2の領域に完全に接すればよい。

【0025】この場合、非選択時におけるドレイン(8)の電位 V_d とフローティングゲート(3)の電位 V_{fg} と、第1の絶縁膜(2)の薄肉部分である第1の領域における膜厚 S_t との関係が、たとえ $(V_d - V_{fg})/S_t > 7\text{MV}/\text{cm}$ であったとしても、実際に第1の絶縁膜(2)にかかる最大電界強度が $7\text{MV}/\text{cm}$ 以下であれば問題ない。

【0026】請求項3乃至5に記載の発明においては、第1の絶縁膜(2)は、第1の領域と、該第1の領域より膜厚が厚かつフローティングゲート(3)の端部側に位置する第2の領域とを有し、ドレイン(8)のフローティングゲート(3)に対向する表面領域のうち、非選択時にドレイン(8)の内部に伸びた空乏層(8a)の占める領域以外の領域が第1の絶縁膜(2)の第1の領域と接するのを禁止するように、第1の絶縁膜(2)の第1、第2の領域の境界部(B)の位置が設定されていることを特徴とする。

【0027】つまり、非選択時においてドレイン(8)のうち空乏化していない領域が第1の絶縁膜(2)の薄肉部分に接触しないように第2の領域の長さを制御することにより請求項1と同様の効果が得られる。具体的には、フローティングゲート(3)を丸めるための酸化量を制御することにより実現できる。また、請求項6乃至8に記載の発明においては、フローティングゲート

10

(3)に対向するドレイン(8)の表面領域のうち、非選択時にドレイン(8)の内部に伸びた空乏層(8a)の占める領域以外の領域が第1の絶縁膜(2)の第1の領域と接するのを禁止するように、ドレイン(8)とフローティングゲート(3)とのオーバーラップ部分のオーバーラップ量が設定されていることを特徴とする。

【0028】つまり、非選択時においてドレイン(8)のうち空乏化していない領域が第1の絶縁膜(2)の薄肉部分に接触しないようにドレイン(8)の横方向における接合位置を制御することにより請求項1と同様の効果が得られる。具体的には、ドレイン(8)の横方向拡散距離あるいはドレイン(8)を形成するためのイオン注入における飛程を制御することにより実現できる。

【0029】請求項9に記載の発明においては、半導体記憶装置の選択時においては、ドレイン(8)の内部に伸びた空乏層(8a)以外の領域が、第1の領域と第2の領域との境界部(B)より第1の領域側にまで存在し、かつ、半導体記憶装置の非選択時においては、ドレイン(8)の内部に伸びた空乏層(8a)の第1の絶縁膜(2)に終端する位置(A)が、第1の領域と第2の領域との境界部(B)より第2の領域側に位置して、ドレイン(8)の内部に伸びる空乏層(8a)以外の領域が、第1の絶縁膜(2)の第2の領域にのみ接すること

を特徴としている。

【0030】このように、半導体記憶装置の選択時に、ドレイン(8)の内部に伸びた空乏層(8a)以外の領域が、第1の領域と第2の領域との境界部(B)より第1の領域側にまで存在するようにすれば、請求項1と同様の効果が得られると共に、ゲートバースピーク(3a)が存在してもその書き込み速度が低下しないようにできる。すなわち、自由電子の存在する空間(空乏層を除いた空間)がドレイン(8)とソース(7)との間のチャネル領域にまで分布できる状態になるようにできる。

【0031】請求項10乃至12に記載の発明においては、ドレイン(8)のフローティングゲート(3)に対向する表面領域のうち、ドレイン(8)の内部に伸びた空乏層(8a)の占める領域以外の領域が、非選択時には第1の領域と接するのを禁止されるように、かつ、選択時には第1の領域と接するのを許可されるように、第1の絶縁膜(2)の第1、第2の領域の境界部(B)の位置が設定されていることを特徴としている。

【0032】このように、選択時には第1の領域と接するのを許可されるように、第1の絶縁膜(2)の第1、第2の領域の境界部(B)の位置が設定されていれば、請求項3と同様の効果が得られると共に、ゲートバースピーク(3a)が存在してもその書き込み速度が低下しないようにできる。請求項13乃至15に記載の発明においては、ドレイン(8)のフローティングゲート(3)に対向する表面領域のうち、ドレイン(8)の内

部に伸びた空乏層(8a)の占める領域以外の領域が、非選択時には第1の領域と接するのを禁止するように、かつ、選択時には第1の領域と接するのが許可されるように、ドレイン(8)とフローティングゲート(3)とのオーバーラップ部分のオーバーラップ量が設定されていることを特徴としている。

【0033】このように、選択時には第1の領域と接するのが許可されるように、ドレイン(8)とフローティングゲート(3)とのオーバーラップ部分のオーバーラップ量が設定されていれば、請求項6と同様の効果が得られると共に、ゲートバースピーク(3a)が存在してもその書き込み速度が低下しないようにできる。

【0034】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。図1は本発明を不揮発性メモリを構成する2層ゲート型MOSトランジスタのうちフラッシュメモリに適用した実施形態を示す。図1に示す2層ゲート型MOSトランジスタのセル構造について説明する。

【0035】P-型シリコン基板1上に、ゲート絶縁膜となるトンネル酸化膜2を介して第1のゲート電極としてフローティングゲート3が形成されている。そして、このフローティングゲート3上にはさらに、層間絶縁膜4を介して第2のゲート電極となるコントロールゲート5が形成されており、フローティングゲート3やコントロールゲート5及びP-型シリコン基板1表面は側壁酸化膜6で覆われている。

【0036】また、フローティングゲート3の両側にはソース7、ドレイン8が各々形成されている。なお、必要に応じてソース7、ドレイン8のチャンネル領域側には

$$\begin{aligned} V_{fg} &= (-Q(t) + C_{fd} \cdot V_d) \\ &\quad / (C_{fd} + C_{fb} + C_{fs} + C_{fg}) \\ &= (C_{fg} \cdot \Delta V_t + C_{fd} \cdot V_d) \\ &\quad / (C_{fd} + C_{fb} + C_{fs} + C_{fg}) \end{aligned}$$

$Q(t)$: 書き込み量 t に応じた電荷

C_{fd} : フローティングゲート3-ドレイン8間の静電容量

C_{fb} : フローティングゲート3-基板1間の静電容量

C_{fs} : フローティングゲート3-ソース7間の静電容量

C_{fg} : フローティングゲート3-コントロールゲート5間の静電容量

V_d : ドレイン8に印加される電圧

ΔV_t : フローティングゲート3電圧の変化量

ここで、 C_{fd} 、 C_{fb} 、 C_{fs} 、 C_{fg} は、フローティングゲート3の面積、トンネル膜2の膜厚、トンネル膜2や酸化膜4の比誘電率 ϵ によって一義的に決まる定数であり、また、 V_d も多少の変化はあれども概ね一定の電圧が印加される。従って、 V_{fg} は $Q(t)$ によ

*電界緩和層が形成される。さらに、フローティングゲート3のドレイン8側の端部には丸み部を形成するためのゲートバースピーク3aが形成されている。そして、図1に示すように、非選択ビットであるにもかかわらずドレイン8に所定の書き込み時ドレイン電圧 V_d がかかった場合において、ゲートバースピーク3aとドレイン8内側に伸びた空乏層8aがオーバーラップするような状態で形成されている。

【0037】一方、当該メモリセルの選択時、すなわち書き込み時には、ゲートバースピーク3aが存在してもその書き込み速度が低下しないよう、図2に示すように自由電子の存在する空間(空乏層を除いた空間)がドレイン8とソース7との間のチャンネル領域にまで分布できる状態とされている。すなわち、ゲートバースピーク3aの底面とドレイン8内の空乏層8aがオーバーラップすることはなく、電子の存在する領域がドレイン8内においてトンネル膜2の膜厚 S_t 部分と良好にオーバーラップするようにされている。なお、本実施形態ではドレイン8の接合の終端部がゲートバースピーク3aの広がり始める部分よりチャンネル側とされているが、書き込み時にホットエレクトロンが発生する箇所近傍のゲート絶縁膜がトンネル膜厚 S_t とされていればよい。

【0038】次に、ゲートバースピーク3aとドレイン8の位置関係について詳述する。まず、図3に2層ゲート型半導体装置における非選択時の電氣的な回路模式図を示す。図3に基づき、フローティングゲート3における電圧 V_{fg} を求めることができ、電圧 V_{fg} は次式で表される。

【0039】

【数1】

て変化する。

【0040】また、ドレイン8とフローティングゲート3間におけるトンネル膜2にかかりうる最大電界強度 $E_{fd}(MAX)$ は以下の数式で表せる。

【0041】

【数2】 $E_{fd}(MAX) = (V_d - V_{fg}) / S_{fd}(MIN)$

$S_{fd}(MIN)$: フローティングゲート3、ドレイン8間の最小間隔

このように、最大電界強度 $E_{fd}(MAX)$ は V_{fg} や $S_{fd}(MIN)$ によって変化する。そして、フローティングゲート3の書き込み量が大い場合には、 V_{fg} の値がかなり大きくなる。また、この場合、最大電界強度 $E_{fd}(MAX)$ を小さくする為には $S_{fd}(MIN)$ を大きくすればよい。

【0042】ところで、前述したように、ドレインに電

13

圧が印加されたときにドレイン全体が同電位になるのではなく、ドレイン8うちの空乏層8a領域は同電位にはならない。このため $Sfd(MIN)$ は、フローティングゲート3とドレイン8のうち空乏層領域を除いた部分における最小間隔となる。従って、 $Sfd(MIN)$ がトンネル膜2の膜厚 St であると仮定した場合、 $(Vd - Vf g) / \text{トンネル膜2の膜厚} St \geq 7MV/cm$ の関係を満たすような条件下であっても、実際の $Sfd(MIN)$ がトンネル膜2の膜厚 St よりも大きければ、 $Efd(MAX) < 7MV/cm$ にすることができる。

【0043】具体的には、 $(Vd - Vf g) / \text{トンネル膜2の膜厚} St = 7MV/cm$ の関係を満たすような条件下において、ゲートバースピーク底面領域とドレイン空乏層表面領域がトンネル膜2を挟んでオーバーラップしていれば、実際の $Sfd(MIN)$ はトンネル膜2の膜厚 St よりも大きくなる。これに基づき、上記条件下において、ゲートバースピーク底面領域とドレイン空乏層表面領域がトンネル膜2を挟んでオーバーラップするようにゲートバースピーク3aとドレイン8の位置関係を設定している。

【0044】これにより、 $Efd(MAX) < 7MV/cm$ とすることができ、ドレインディスタブを十分に抑制することができる。また、図1に示す半導体記憶装置は以下のようにして製造される。まず、図4(a)に示すように、P型シリコン基板1(あるいはP型ウェル)の表面の所定領域に素子分離用のLOCOS膜50を選択的に形成した後、P型シリコン基板1の上面に約100~120Åの酸化膜を形成し、さらに窒化してトンネル膜2を形成する。次に、しきい値調整用のイオンインプランテーションを行った後、図4(b)に示すように、トンネル膜2の上部にポリシリコン層(第1のゲート電極層)51、酸化膜/窒化膜/酸化膜の三層構造から成る層間絶縁膜4、ポリシリコン層(第2のゲート電極層)51を順に形成する。

【0045】そして、フォトレジスト(レジスト膜)53をゲートとなる部分に堆積させ、このフォトレジスト53をマスクにして、塩素系ガスにより異方性ドライエッチングを行い、図4(c)に示すようにフローティングゲート3とコントロールゲート5を形成する。その後、 O_2 アッシングと洗浄により、図5(a)に示すようにフォトレジスト53を剥離する。

【0046】この後、熱酸化をして、側壁酸化膜6を形成する。このとき、フローティングゲート3の端部まで酸化が進み、図5(b)に示すように、フローティングゲート3の端部には丸まった形状となるゲートバースピーク3aが形成される。なお、この時の熱酸化の時間等を調節することでゲートバースピーク3aの大きさを制御することができる。また、側壁酸化膜6の膜厚を変化させることで、この後形成されるドレイン8の形成位置

14

を制御することができ、ドレイン8に電圧を印加したときにおける空乏層端部の位置を制御することができる。

【0047】そして、これらゲート電極3、5をマスクにして、イオンインプランテーションを行い、図5(c)に示すように、ソース7、ドレイン8を形成する。なお、このイオンインプランテーションにおいてドーズ量や注入角度を調整することにより、ドレイン8の形成位置や形成深さを制御することができるため、ドレイン8に電圧を印加したときにおける空乏層端部の位置あるいは空乏層の大きさを制御することができる。

【0048】さらに、図示しないがその後、各電極に接続されるアルミ配線をバタニング形成して、2層ゲート型半導体記憶装置は完成する。このように、ゲートバースピーク3aの大きさを制御したり、側壁酸化膜6の膜厚を変化させ又はイオンインプランテーションにおけるドーズ量、注入角、加速エネルギー等を変化させてドレイン8の形成位置を制御したりすること等により、 $(Vd - Vf g) / \text{トンネル膜2の膜厚} St > 7MV/cm$ の式を満たす場合であっても、ゲートバースピーク底面領域とドレイン空乏層表面領域がトンネル膜2を挟んでオーバーラップするようにゲートバースピーク3aとドレイン8の位置関係を設定することで、フローティングゲート3とドレイン8との間の最大電界強度を $7MV/cm$ 以下とすることができる。これによりドレインディスタブを抑制することができる。

【0049】なお、本実施形態においては、P型シリコン基板1を用いているが、この他シリコン基板を用いて、このシリコン基板内にP型ウェル層を形成してもよく、また、N型の導電材料を用いる場合にも同様のことがいえる。また、ゲートバースピーク3を形成した場合において説明したが、これを形成していない場合であっても、フローティングゲート3のエッジ位置とドレイン8の空乏層における関係を考慮することによりドレインディスタブを抑制することができる。

【0050】上述した実施形態では、ゲート絶縁膜がトンネル膜であるフラッシュメモリに本発明を適用した場合を説明したが、他にEPROM、EEPROMの場合でも本発明は適用可能である。また、フローティングゲートとコントロールゲートの長さがほぼ同じで積層構造をとっているスタック型メモリのみならずフローティングゲートとコントロールゲートの長さ或いは形成パターンの異なる2層ゲート型メモリ構造にも適用可能である。

【図面の簡単な説明】

【図1】本発明の一実施形態における2層ゲート型半導体記憶装置の断面図であって、非選択時を説明するための図である。

【図2】本発明の一実施形態における2層ゲート型半導体記憶装置の断面図であって、選択時を説明するための図である。

15

【図3】図1における2層ゲート型半導体記憶装置の模式的回路図である。

【図4】図1における2層ゲート型半導体記憶装置の製造工程を示す手順図である。

【図5】図3に続く、2層ゲート型半導体記憶装置の製造工程を示す手順図である。

【図6】非選択ビットのドレイン近傍の空乏層のシミュレーション解析図である。

【図7】図5に示す2層ゲート型半導体記憶装置において、ドレインに所定電圧がかけられた場合にトンネル膜にかかる電界の電界強度分布図である。

【図8】ドレイン空乏層とゲートバースピークのオーバーラップ長を変化させたときにおける、オーバーラップ長—

*最大電界強度特性図である。

【図9】フラッシュメモリの動作説明のための図である。

【図10】複数配列された場合における2層ゲート型半導体装置の模式図である。

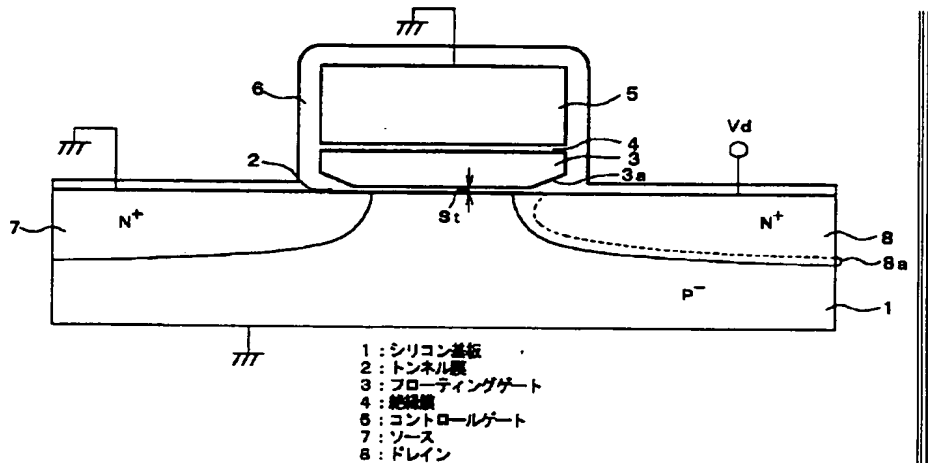
【図11】ドレインディスタース問題を説明するための図である。

【符号の説明】

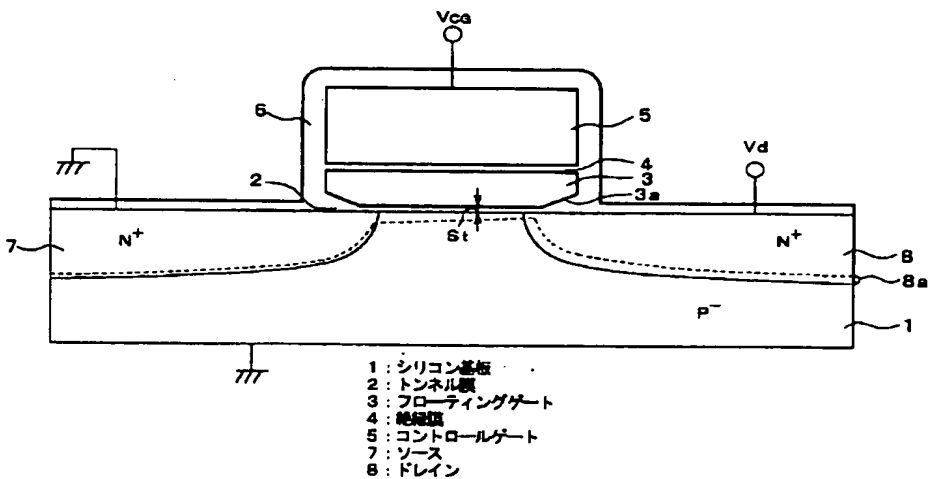
1…P-型シリコン基板、2…トンネル酸化膜、3…フローティングゲート、3a…ゲートバースピーク、5…コントロールゲート、6…側壁酸化膜、7…ソース、8…ドレイン。

16

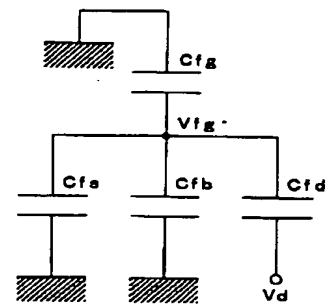
【図1】



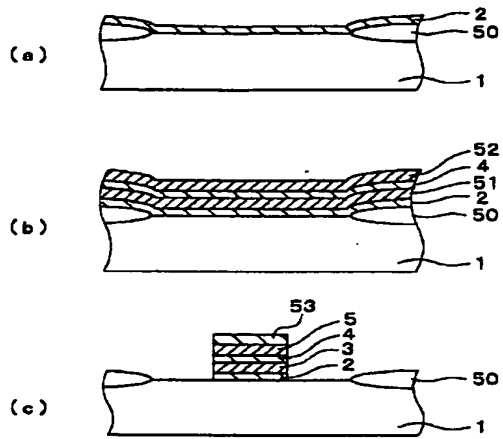
【図2】



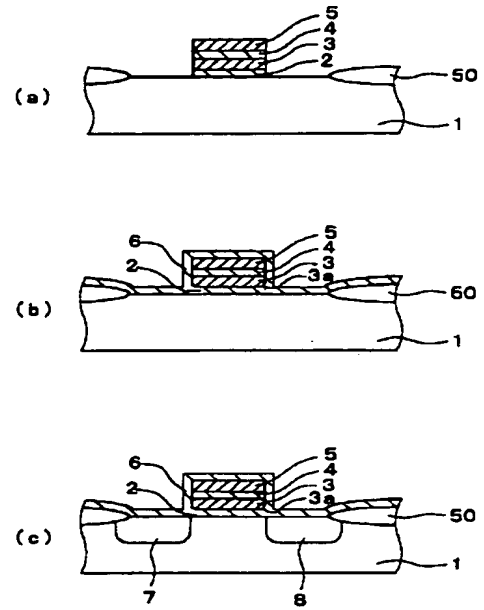
【図3】



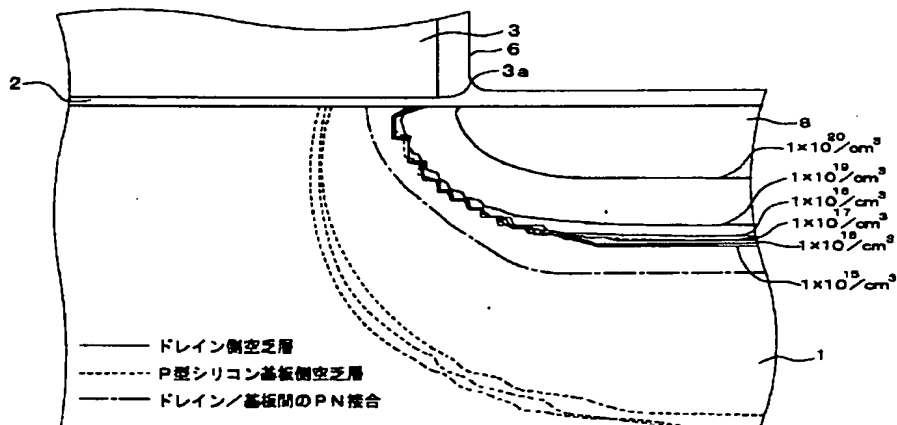
【図4】



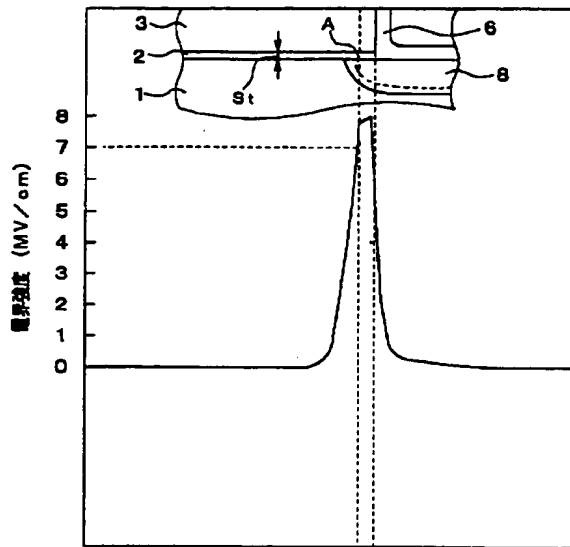
【図5】



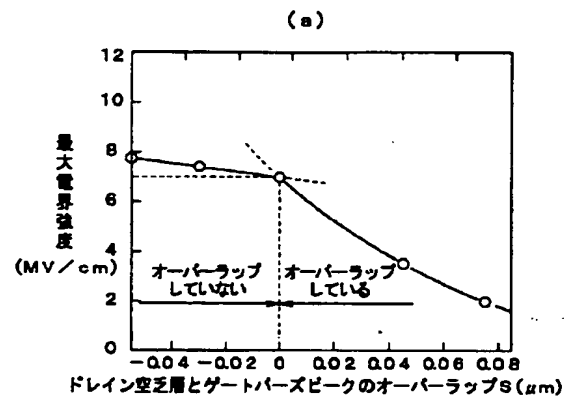
【図6】



【図7】

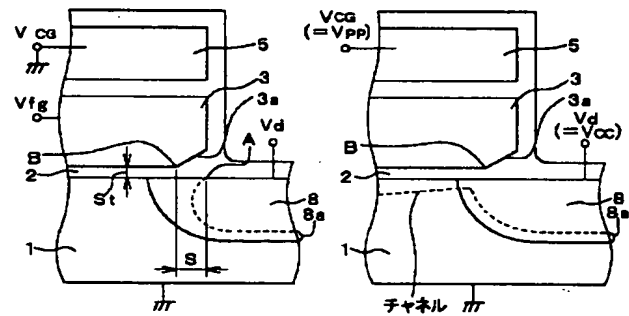


【図8】

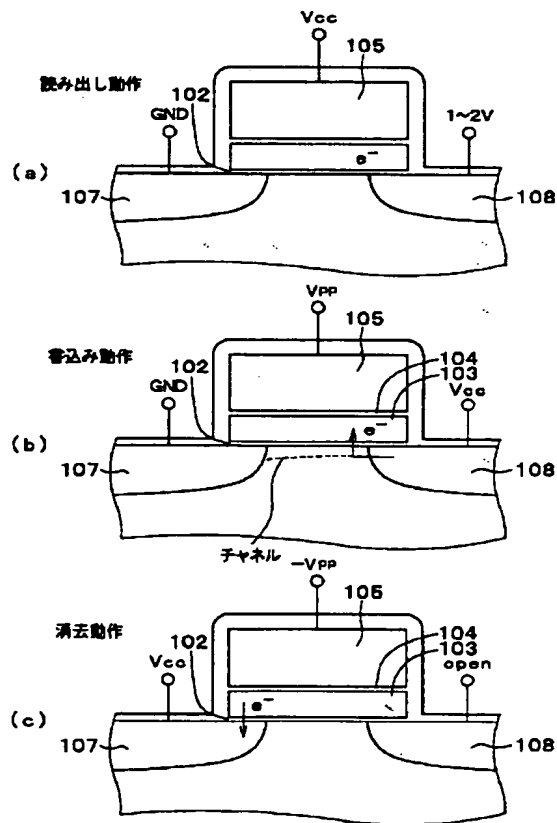


(b)

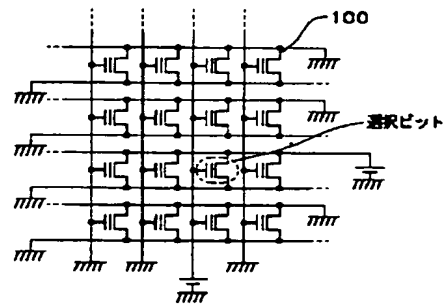
(c)



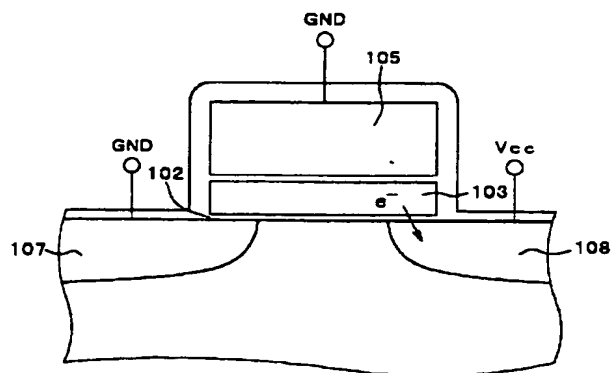
【図9】



【図10】



【図 11】



フロントページの続き

(72)発明者 余郷 幸明
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内